

# 国立台湾科技大学とのジョイント・プログラム事業

## 研究課題名 : Development of a self-observable test clock generator in FPGAs ( FPGAにおける自己観測可能なテストクロック生成器の開発 )

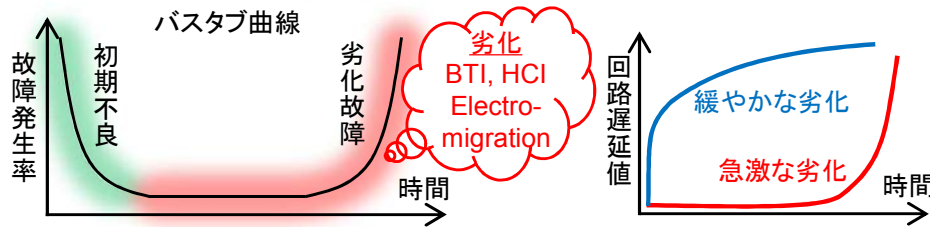
### 共同研究者

九州工業大学 情報工学研究院 情報創成工学研究系 教授 梶原 誠司  
国立台湾科技大学 電子工学部 電子工学科 教授 Poki Chen

### 研究概要

#### 最先端VLSIでは、劣化対策が重要な課題

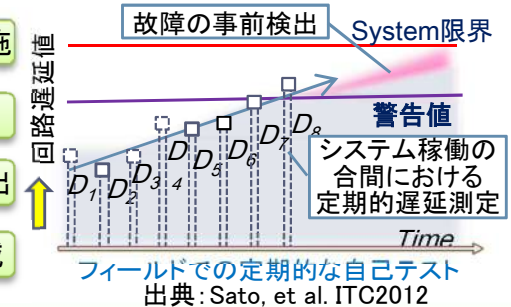
- 高性能化や微細化に伴い、劣化現象による故障が増加
- 典型的な劣化現象は回路遅延の増加



#### フィールドでの定期的な遅延測定で劣化を検知可能

製造ばらつきや劣化による遅延マージンの低下を故障前に検出！

- フィールドでLSIの自己テストを実施
- 遅延マージン量を測定
- マージン減少を故障発生前に検出
- フィールドでの故障発生率を低減

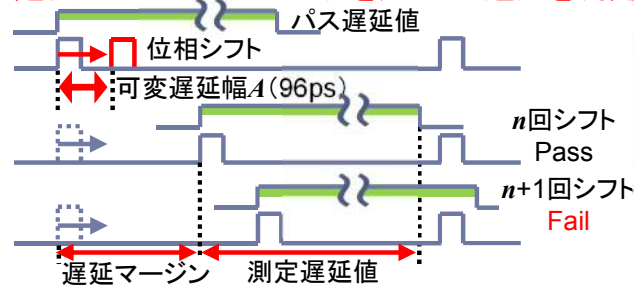


### FPGA適用

#### FPGAにおけるオンチップ遅延劣化検知の実現

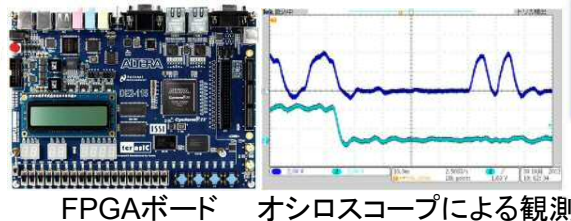
##### 可変クロックを用いた遅延測定

- 組み込みPLLの機能を用いて可変クロックを生成
- 逐次的にテストタイミングを短くして遅延を測定



##### オシロスコープを用いた精度評価

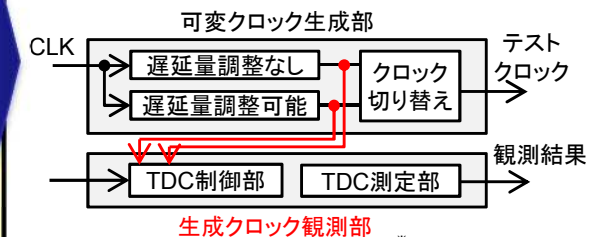
- 生成クロックをオシロスコープで評価
- 観測結果にノイズや歪みが存在
- 生成クロックの外部観測には限界がある



##### 本研究課題

#### 自己観測可能なクロック生成器を開発

- 可変なテストクロックの性能保証のため、自己観測型テストクロック生成器を開発
- オシロスコープなしで精度観測が可能に



\*TDC:Time-to-Digital Converter